

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02023651 A

(43) Date of publication of application: 25.01.90

(51) Int. Cl

H01L 27/092

(21) Application number: 63173184

(71) Applicant: FUJITSU LTD

(22) Date of filing: 12.07.88

(72) Inventor: YOSHIDA MASANOBU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

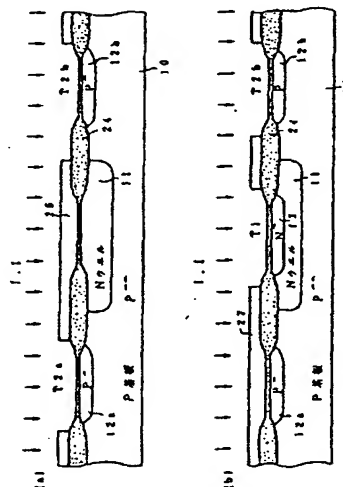
process of the N-channel transistor having a single threshold.

(57) Abstract:

COPYRIGHT: (C)1990,JPO&amp;Japio

**PURPOSE:** To form N-channel transistors having two kinds of thresholds without increasing processes by performing an impurity injection so as to control the threshold of an N-channel MIS transistor simultaneously with the impurity injection for controlling the threshold of a P-channel MIS transistor.

**CONSTITUTION:** When two kinds of thresholds of N-channel MIS transistors T2a and T2b are formed, threshold adjustment impurity injections for the N-channel MIS transistor T2b having a high threshold are performed twice simultaneously with a threshold adjustment impurity injection for the N-channel MIS transistor T2a having a low threshold as well as with a threshold controlling impurity injection for a P-channel MIS transistor T1. This system allows the transistor T2b to perform P-type impurity injections twice, and then, its impurity concentration is obtained by adding together the first and second impurity concentrations. As a result, the impurity concentration is higher than that of single impurity injection performed by the transistor T2a. Moreover, the number of processes is not different from the conventional one, that is, a CMOS



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-23651

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月25日

H 01 L 27/092

7735-5F  
7735-5F

H 01 L 27/08

3 2 1 D

N

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-173184

⑰ 出 願 昭63(1988)7月12日

⑱ 発 明 者 吉 田 正 信 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青 柳 稔

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 2種類の閾値のNチャネルMISトランジスタを有するCMIS半導体装置の製造方法において、高い閾値のNチャネルMISトランジスタ(T2b)に対しては、低い閾値のNチャネルMISトランジスタ(T2a)に対するP型不純物を用いた閾値調整用不純物注入と、PチャネルMISトランジスタ(T1)に対するP型不純物を用いた閾値調整用不純物注入の両方を行なうことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(発明の概要)

相補型MISプロセスによる半導体装置の製造方法に関し、

工程を増やさずに2種類の閾値のNチャネルトランジスタを形成可能にすることを目的とし、

2種類の閾値のNチャネルMISトランジスタ

を有するCMIS半導体装置の製造方法において、高い閾値のNチャネルMISトランジスタに対しては、低い閾値のNチャネルMISトランジスタに対するP型不純物を用いた閾値調整用不純物注入と、PチャネルMISトランジスタに対するP型不純物を用いた閾値調整用不純物注入の両方を行なうよう構成する。

(産業上の利用分野)

本発明は、相補型MISプロセスによる半導体装置の製造方法に関する。

近年の半導体産業の発展にともない、実にさまざまな半導体装置が広範囲に利用されており、そのうちの一部は高度な性能を要求される。そのような場合、NチャネルMISトランジスタの閾値が2種類あると設計の自由度が増え、高機能の半導体装置を実現しやすくなることがある。それは、一般的に閾値の低いMISトランジスタを使用すると回路が高速動作し、閾値の高いMISトランジスタを使用すると内部雑音に対して強くなり、

従ってこれらのMISトランジスタを使い分けると、雑音に強い高速回路が実現できるためである。

(従来の技術)

MISトランジスタの閾値は、通常11 (ion implantation: イオン注入) によって制御される。

MISトランジスタができるまでのプロセスを第4図で説明すると、(1)はP型シリコン基板10にNウェル11が形成され、表面に保護用の酸化膜( $\text{SiO}_2$ )21が被覆している状態を示す。この酸化膜21上に窒化膜( $\text{Si}_3\text{N}_4$ )22を全面に成長させ、同図(2)の状態にする。次は同図(3)に示すようにフォトレジスト23を塗布し、図示しないマスクを通して露光し、次いで現像して同図(4)に示すように、トランジスタとなる領域のみにレジストが残るようにする。次はこのパターンニングしたレジスト23をマスクに窒化膜22をエッチングし、レジストを剥離して同図(5)の状態にする。

次は、パターンニングした窒化膜22をマスクに熱酸化し、第4図(6)の如く $\text{SiO}_2$ を厚く成長させ

(フィールド酸化膜24を作り)、窒化膜22を除去する。次は、 $\text{SiO}_2$ をエッチングし、同図(7)のように、トランジスタ形成領域では基板表面を露出させる。次いで再度熱酸化し、同図(8)のように露出部を酸化膜25で覆う。その後、同図(9)の如く、フォトレジスト26を塗布し、図示しないマスクを通して露光し、現像して、該レジストをNチャネルトランジスタ形成部で開口し、然るのちNチャネルトランジスタの閾値調整用の11を行なう。その後レジスト26は剥離する。P基板10の不純物濃度は低いので、上記工程(9)における11はP型不純物、一般にはボロン(B)を用いて行なう。12はこのP型不純物をイオン注入された領域を示す。次は同図(10)に示すように、再びフォトレジスト27を塗布し、パターンニングし、Pチャネルトランジスタの閾値調整用の11を行なう。このイオン注入する不純物もP型不純物一般にはボロンであり、13はこのボロンを11された領域を示す。11後、レジスト27は剥離する。

3

次は第4図(11)に示すように、多結晶シリコン28を全面に成長させ、フォトレジスト29を塗布し、パターンニングする。このパターンニングしたフォトレジスト29をマスクに多結晶シリコン28をエッチングし、同図(12)に示すようにP、Nチャネルトランジスタのゲート28a、28bを作る。エッチング後レジスト29は剥離する。次に同図(13)に示すようにフォトレジスト30を塗布し、パターンニングし、Nチャネルトランジスタのソース、ドレイン領域形成用の11を行なう。このイオン注入に使用するN型不純物はリン(P)またはヒ素(As)である。14はこの11で形成されたN<sup>+</sup>ソース、ドレイン領域を示す。11後、レジスト30を剥離する。次は同図(14)に示すようにフォトレジスト31を塗布し、パターンニングし、Pチャネルトランジスタのソース、ドレイン領域形成用の11を行なう。使用するP型不純物はボロン(B)である。15はこの11で形成されたP<sup>+</sup>ソース、ドレイン領域を示す。フォトレジスト31を剥離すると同図(15)の状態になり、基板10に

閾値が例えば+0.6VのNチャネルトランジスタ14、28aが形成され、そして基板10のNウェル11に閾値が例えば-1.0VのPチャネルトランジスタ15、28bが形成される。

(発明が解決しようとする課題)

この工程では、Nチャネルトランジスタ14、28aを閾値の異なる2種類にしようとする、Nチャネルトランジスタの閾値調整用イオン注入工程(9)を、マスクを変えて2回行なう必要がある。従ってマスクが1枚増え、製造工程数が増え、ひいてはコストアップになる。

本発明はかかる点を改善し、工程を増やさずに2種類の閾値のNチャネルトランジスタを形成可能にすることを目的とするものである。

(課題を解決するための手段)

第1図に示すように本発明では、2種類の閾値のNチャネルMISトランジスタT2a、T2bを形成する場合、高い閾値のNチャネルMISト

5

6

ランジスタT2bに対してはその閾値調整用不純物注入を、低い閾値のNチャネルMISトランジスタT2aの閾値調整用不純物注入と同時に、またPチャネルMISトランジスタT1の閾値制御用不純物注入と同時に、従って計2度行なう。第1図(a)が前者、同図(b)が後者で、(a)ではT2bはT2aと共に11され、(b)ではT2bはT1と共に11される(11のマスクをそのようにパターンニングする)。

全図を通してそうであるが、この第1図でも他の図と同じ部分には同じ符号が付してあり、10はP型基板、11はN型ウエル、24はフィールド酸化膜、26、27はフォトレジスト、12a、12b、13は不純物を注入した領域である。

#### (作用)

この方法によれば、トランジスタT2bに対しては、同じ型、本例ではP型の不純物の注入が2度行なわれるので、不純物濃度は1回目と2回目の和になり、1回目だけのトランジスタT2aに

比べて閾値が高くなる。しかも工程数は従来と(単一閾値のNチャネルトランジスタのCMOSプロセスと)変わらない。

#### (実施例)

第2図に本発明の実施例を示す。Pチャネルトランジスタの閾値調整用11のマスクパターンを除いては、第4図と変わらない。以下工程を列挙するが、①、②、……は第2図の(1)、(2)、……に対応している。

①P型シリコン基板10に保護用の酸化膜( $\text{SiO}_2$ )21が乗っており、Nウエル11が形成されている。

②窒化シリコン( $\text{Si}_3\text{N}_4$ )22を全面に成長させる。

③フォトレジスト23を塗布する。

④マスクによりトランジスタとなる領域のみレジスト23が残るように露光し、現像する。

⑤窒化シリコン22をエッチングし、レジスト23を剝離する。

⑥二酸化シリコン24を厚く成長させ、その後窒化シリコン22を除去する。

⑦二酸化シリコン21をエッチングし、一度シリコン基板10を露出させる。

⑧再度酸化し、二酸化シリコン25を成長させる。

⑨フォトレジスト26を塗布し、マスクにより必要な領域のみ開口し、11を行う。その後レジスト26を剝離する(Nチャネル11)。

⑩フォトレジスト27を塗布し、マスクにより必要な領域のみ開口し、11を行う。その後レジスト27を剝離する(Pチャネル11)。この工程⑨⑩が第1図(a)(b)に相当し、これでトランジスタT2bの閾値がT2aのそれより高くなる。第4図のと比べて変っているのはフォトレジスト27のパターンであり、第4図ではレジスト27は全てのNチャネルトランジスタを覆うが、第2図のレジスト27は閾値の高いNチャネルトランジスタは覆わない。

⑪ポリシリコン28を全面に成長させ、フォ

トレジスト29を塗布し、ゲートとなる部分のみレジストが残るようにマスクにより露光し、現像する。

⑫ポリシリコン28をエッチングし、レジスト29を剝離する。

⑬フォトレジスト30を塗布し、マスクにより必要な領域のみ開口し、11を行う。その後レジスト30を剝離する(NチャネルSD11)。

⑭フォトレジスト31を塗布し、マスクにより必要な領域のみ開口し、11を行う。その後レジスト31を剝離する(PチャネルSD11)。

⑮トランジスタの完成。たとえば低い閾値のNチャネルMISトランジスタT2aの閾値が0.6V、PチャネルMISトランジスタT1の閾値が-1.1Vになるような11を行うと、高い閾値のNチャネルMISトランジスタT2bの閾値は1.0V程度になる。

CMOS集積回路の入力バッファには、PチャネルトランジスタT1とNチャネルトランジスタT2を直列にした第3図(a)の如くCMOSインバータが使

用されることが多い。このインバータの閾値は同図(ハ)に示すように電源  $V_{cc}$  の電圧で変る。しかし CH05 IC では TTL との整合上などから入力  $V_{in}$  の L レベルは 0.8 V 以下、H レベルは 2.0 V 以上と定められており、上記閾値の変動が起るとし入力を H 入力と誤判断する ( $V_{out}$  が H であるべき所が L になってしまう) などの問題が生じる。

これを防ぐには電源電圧が変っても閾値が変らないようにするのがよく、これには負荷トランジスタ T1 をドライバトランジスタ T2 より小型にする (レシオを大にする) のがよい。しかしレシオを大にすると、インバータの閾値はトランジスタ T2 の閾値へ近ずき、N チャネルトランジスタ T2 の閾値は通常 0.6 ~ 0.4 V であるから、これではインバータ閾値が所望値以下になってしまう。そこで閾値の高い N チャネルトランジスタが必要になり、これを用いれば同図(ハ)の如く、余り変動のない、しかも所望値の閾値にすることができる。IC 内部回路の N チャネルトランジスタは通常通り 0.6 ~ 0.4 V の閾値でよいから、結局同一チャ

プ上に 2 種類の閾値の N チャネルトランジスタの存在が必要になる。

#### (発明の効果)

以上説明したように本発明では、N チャネル MIS トランジスタの閾値が 0.6 V、P チャネル MIS トランジスタの閾値が -1.0 V になるような半導体製造プロセスにおいて、N チャネル MIS トランジスタの閾値制御用不純物注入と P チャネル MIS トランジスタの閾値制御用不純物注入をあわせて行うことにより 1.0 V の閾値の N チャネル MIS トランジスタも形成することができ、しかも工程を長くすることがない。

#### 4. 図面の簡単な説明

- 第 1 図は本発明の原理説明図、
- 第 2 図は本発明の実施例を示す工程図、
- 第 3 図は CH05 IC の入力回路の説明図、
- 第 4 図は従来の CH05 プロセスの工程図である。

第 1 図で T2a、T2b は低、高閾値の N チャ

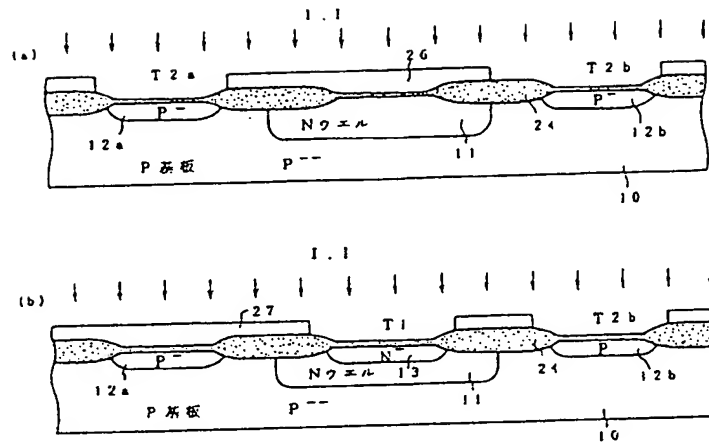
1 1

1 2

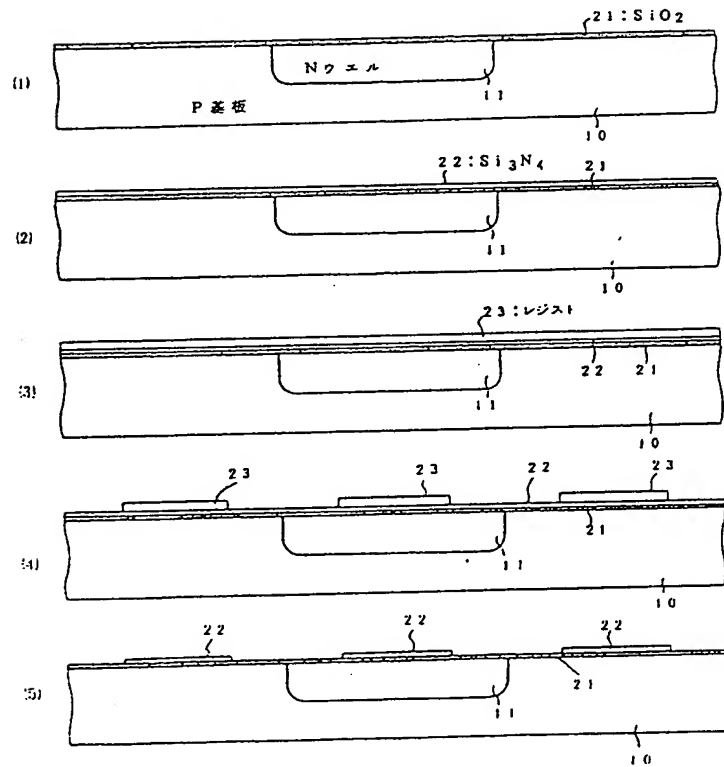
ネル MIS トランジスタ、T1 は P チャネル MIS トランジスタであり、11 は不純物注入を示す。

出 願 人      富 士 通 株 式 会 社  
代理人弁理士   青   柳   稔

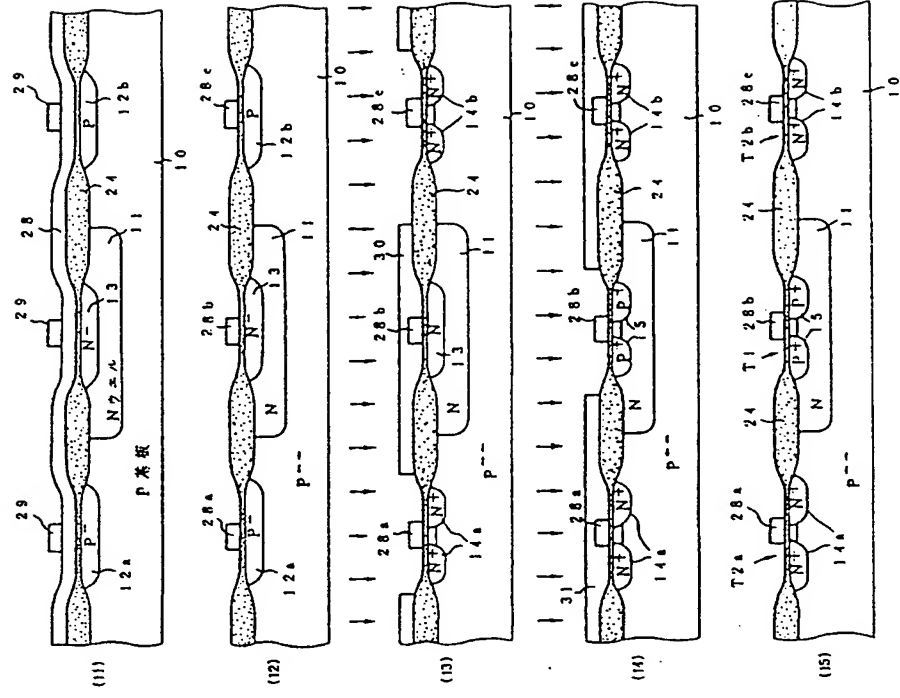
1 3



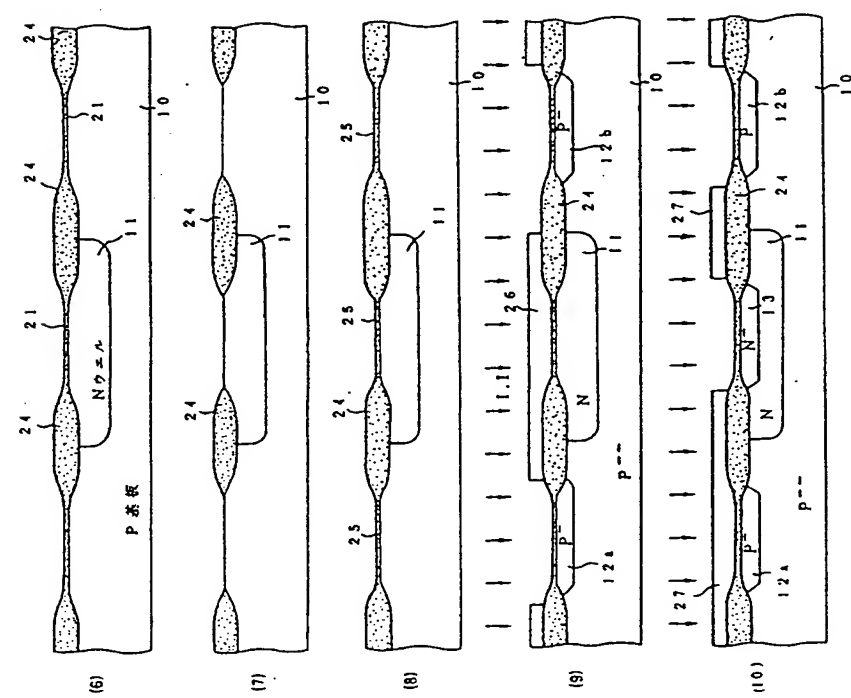
本発明の原理説明図  
第 1 図



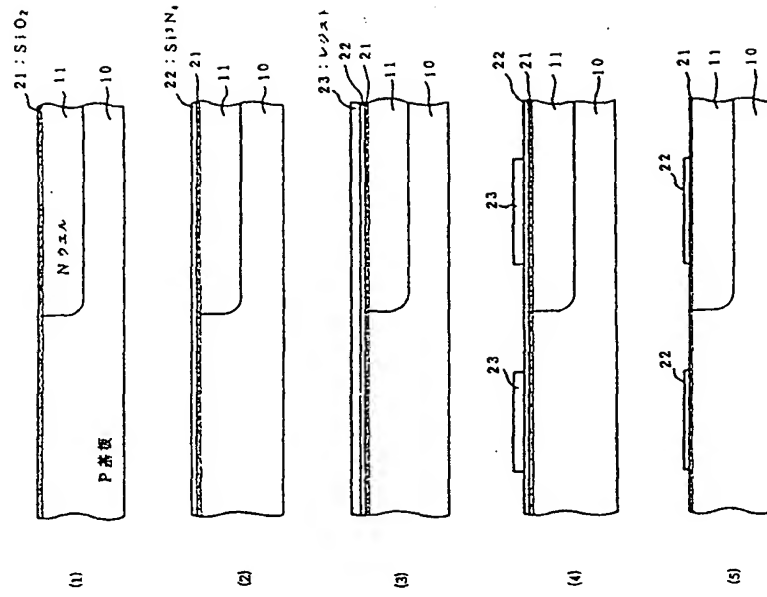
本発明の実施例を示す工程図  
第 2 図



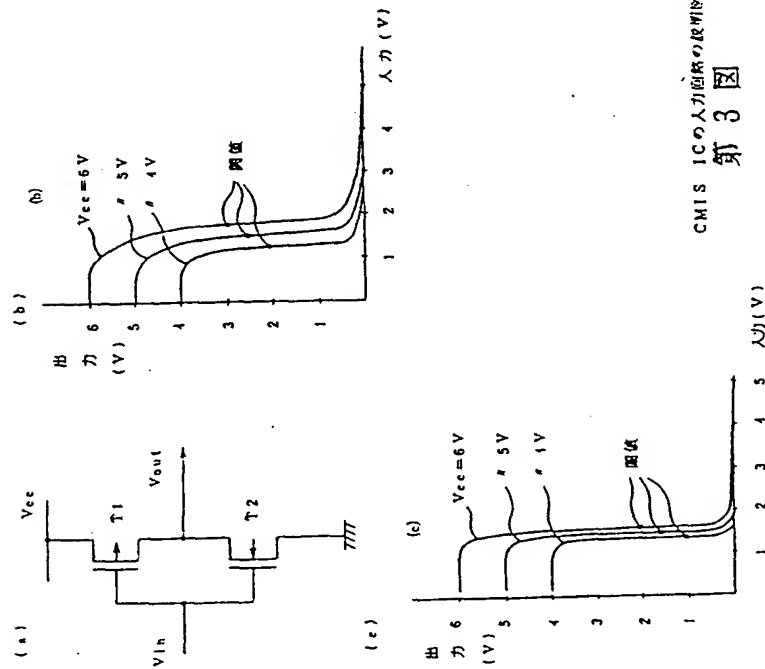
本発明の実施例を示す工程図  
第 2 図



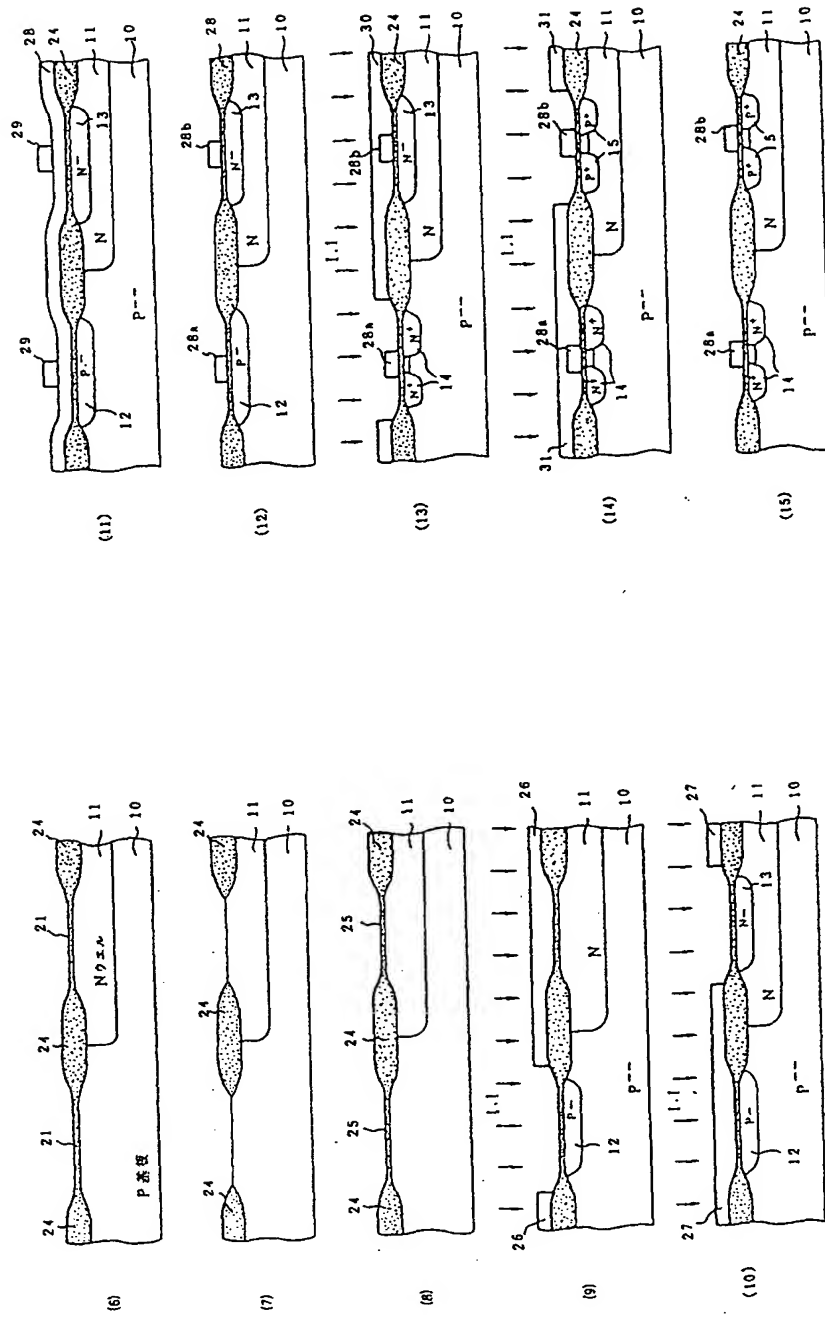
本発明の実施例を示す工程図  
第 2 図



従来のCMISプロセスの工程  
第4図







従来のCMISプロセスの工程図  
第4図

従来のCMISプロセスの工程図  
第4図